

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月 4日
Date of Application:

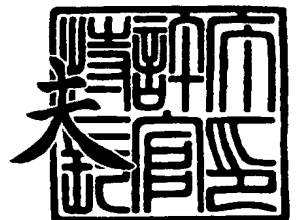
出願番号 特願2003-101366
Application Number:
[ST. 10/C]: [JP 2003-101366]

出願人 ローム株式会社
Applicant(s):

2003年12月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3099493

【書類名】 特許願

【整理番号】 PR200517

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/70

【発明の名称】 半導体集積回路装置

【請求項の数】 3

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 近藤 雅仁

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 井上 晃一

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1 ゲート、第 1 バックゲート、第 1 導電領域、及び第 2 導電領域を有し、前記第 1 バックゲートと前記第 1 導電領域が電氣的に接続された第 1 MOS トランジスタと、

第 2 ゲート、第 2 バックゲート、第 3 導電領域、及び第 4 導電領域を有し、前記第 1 バックゲート及び前記第 1 導電領域に前記第 2 バックゲート及び前記第 3 導電領域が電氣的に接続されるとともに前記第 4 導電領域に第 1 直流電圧が印加される第 2 MOS トランジスタと、

前記第 1 直流電圧と前記第 2 導電領域から出力される第 2 直流電圧とを比較する比較器と、

前記比較器の出力に基づき、前記第 1 直流電圧が前記第 2 直流電圧より大きい場合は前記第 2 ゲートを所定の電位に接続し、前記第 1 直流電圧が前記第 2 直流電圧より小さい場合は前記第 2 ゲートと前記第 3 導電領域又は前記第 2 導電領域を接続するスイッチと、

備えることを特徴とする半導体集積回路装置。

【請求項 2】 前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタの構成が同一極性である請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記第 2 直流電圧に応じた電圧と所定の電圧との差に応じた制御信号を前記第 1 ゲートに出力する誤差増幅器を備える請求項 1 又は請求項 2 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、MOS トランジスタを有する半導体集積回路装置に関する。特に、MOS トランジスタにおける逆流電流の発生を防止する手段を備える半導体集積回路装置に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路装置において、図4のようにソースとバックゲートに電源電圧 V_{DD} が印加されたPチャネル型のMOSトランジスタQ5が設けられるものがある。このMOSトランジスタQ5においてドレインからバックゲートに対して寄生ダイオードD5が形成される。

【0003】

したがって、MOSトランジスタQ5に逆バイアスがかかり、ソースドレイン間電圧に寄生ダイオードの順方向電圧以上の電圧が印加されると、寄生ダイオードD5がオン状態になり、寄生ダイオードD5を介して逆流電流が流れる。

【0004】

このような逆流電流の発生を防止する手段を備える半導体集積回路装置が従来から種々提案されている。例えば、図5に示すレギュレータは、出力トランジスタであるPチャネル型のMOSトランジスタQ1の導電端子t1及びバックゲートと電源電圧 V_{DD} が印加される電源端子1との間に電源遮断スイッチとして機能するPチャネル型のMOSトランジスタQ2が設けられる。MOSトランジスタQ2の導電端子t4は電源端子1に接続され、MOSトランジスタQ2の導電端子t3、バックゲート、及びゲートはMOSトランジスタQ1の導電端子t1及びバックゲートに接続される。そして、MOSトランジスタQ1の導電端子t2は出力端子2に接続される。図5に示すレギュレータは、出力端子2に外部から電源電圧 V_{DD} よりも高い電圧が印加されるとMOSトランジスタQ2がオフ状態になることで、電流の逆流を防止している。

【0005】

また、特許文献1の出力段回路は、Pチャネル型のMOS出力トランジスタの導電端子及びバックゲートと外部電源電圧が印加される電源端子との間に電源遮断スイッチを設け、電源電圧監視回路で電源電圧の低下を確認すると電源遮断スイッチをオフ状態にすることで、電流の逆流を防止している。

【0006】**【特許文献1】**

特開平10-341141号公報

【0007】

【発明が解決しようとする課題】

しかしながら、図5に示すレギュレータでは、MOSトランジスタQ2のゲートと導電端子t3が接続されているため、通常動作（電源電圧 V_{DD} が出力端子2の電圧 V_{OUT} より大きいときの動作）においてMOSトランジスタQ2のゲート－導電端子t4間電圧を十分に大きくすることができず、通常動作時のMOSトランジスタQ2の導電端子t3－導電端子t4間電圧が大きくなる。すなわち、通常動作時のMOSトランジスタQ2のオン抵抗が大きくなる。したがって、通常動作時の電圧損失を小さくすることができなかった。

【0008】

また、特許文献1の出力段回路では、電源遮断スイッチのオン抵抗について何ら考慮されていなかった。このため、電源遮断スイッチのオン抵抗が大きい場合は通常動作（外部電源電圧が所定値以上であるときの動作）時の電圧損失を小さくすることができなかった。

【0009】

本発明は、上記の問題点に鑑み、逆流電流の発生が防止できかつ通常動作時の電圧損失の小さい半導体集積回路装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る半導体集積回路装置においては、第1ゲート、第1バックゲート、第1導電領域、及び第2導電領域を有し、前記第1バックゲートと前記第1導電領域が電氣的に接続された第1MOSトランジスタと、第2ゲート、第2バックゲート、第3導電領域、及び第4導電領域を有し、前記第1バックゲート及び前記第1導電領域に前記第2バックゲート及び前記第3導電領域が電氣的に接続されるとともに前記第4導電領域に第1直流電圧が印加される第2MOSトランジスタと、前記第1直流電圧と前記第2導電領域から出力される第2直流電圧とを比較する比較器と、前記比較器の出力に基づき、前記第1直流電圧が前記第2直流電圧より大きい場合は前記第2ゲートと所定の電位にし、前記第1直流電圧が前記第2直流電圧より小さい場合は前記第2ゲ

トと前記第3導電領域又は前記第2導電領域を接続するスイッチと、備える構成とする。

【0011】

このような構成によると、逆バイアス印加時すなわち第1直流電圧が第2直流電圧より小さいときには、第2MOSトランジスタがオフ状態になり、第1MOSトランジスタにおける逆流電流の発生を防止することができる。さらに、通常動作時すなわち第1直流電圧が前記第2直流電圧より大きいときには、第2MOSトランジスタのゲートが所定の電位に接続されるので第2MOSトランジスタのオン抵抗を小さくすることが可能となる。したがって、通常動作時の電圧損失を小さくすることができる。なお、第2MOSトランジスタのゲートがグランドに接続されると第2MOSトランジスタのオン抵抗が最小になるので、通常動作時すなわち第1直流電圧が前記第2直流電圧より大きいときには、第2MOSトランジスタのゲートがグランドに接続されることが好ましい。

【0012】

また、前記第1MOSトランジスタ及び前記第2MOSトランジスタの構成を同一極性にしてもよい。このような構成にすることで、第2MOSトランジスタ内に形成される寄生ダイオードによって、第1MOSトランジスタ内に形成される寄生ダイオードによる逆流電流の発生を防ぐことができる。なお、Pチャネル型のMOSトランジスタの方がNチャネル型のMOSトランジスタよりもトランジスタサイズを小さくすることができるので、第1MOSトランジスタ及び第2MOSトランジスタをPチャネル型のMOSトランジスタにすることが好ましい。

【0013】

また、前記第2直流電圧に応じた電圧と所定の電圧との差に応じた制御信号を前記第1ゲートに出力する誤差増幅器を備えるようにしてもよい。このような構成にすることで、半導体集積回路装置がレギュレータとして機能する。なお、電源遮断スイッチである第2MOSトランジスタを、パワートランジスタである第1MOSトランジスタとほぼ同一のトランジスタサイズにすることで、通常動作時における第2MOSトランジスタのオン抵抗をより一層小さくすることができ

る。

【0014】

【発明の実施の形態】

以下に本発明の一実施形態について図面を参照して説明する。本発明に係る半導体集積回路装置として、ここではレギュレータを例に挙げて説明を行う。本発明に係るレギュレータの一構成例を図1に示す。なお、図1において図5と同一の部分には同一の符号を付し、詳細な説明を省略する。

【0015】

図1のレギュレータは、電源端子1と、出力端子2と、基準電圧源3と、誤差増幅器4と、スイッチ5と、比較器6と、Pチャネル型のMOSトランジスタQ1及びQ2と、抵抗R1及びR2とを備える構成である。

【0016】

電源端子1と出力端子2との間にMOSトランジスタQ1及びQ2が直列接続される。すなわち、電源端子1がMOSトランジスタQ2の導電端子t4に接続され、MOSトランジスタQ2のバックゲート及び導電端子t3がMOSトランジスタQ1の導電端子t1及びバックゲートに接続され、MOSトランジスタQ1の導電端子t2が出力端子2に接続される。なお、MOSトランジスタQ1において導電端子t2からバックゲートに対して寄生ダイオードD1が図示する方向に形成され、MOSトランジスタQ2において導電端子t4からバックゲートに対して図示する方向に寄生ダイオードD2が形成される。

【0017】

また、抵抗R1と抵抗R2を直接接続して成る出力電圧検出回路の一端がMOSトランジスタQ1と出力端子2との接続ノードに接続され、当該出力電圧検出回路の他端が接地される。そして、抵抗R1と抵抗R2との接続ノードに誤差増幅器4の非反転入力端子が接続される。基準電圧源3から誤差増幅器4の反転入力端子に基準電圧 V_{REF} が供給される。誤差増幅器4の出力信号はMOSトランジスタQ1のゲートに供給される。

【0018】

さらに、比較器6の非反転入力端子が電源端子1とMOSトランジスタQ2と

の接続ノードに接続され、比較器 6 の反転入力端子が出力端子 2 と MOS トランジスタ Q 1 と抵抗 R 1 との接続ノードに接続され、比較器 6 の出力信号がスイッチ 5 に供給される。

【0019】

スイッチ 5 は、接点 5 a、接点 5 b、及び接点 5 c を有しており、比較器 6 の出力に応じて接点 5 a ～ 5 c の接続状態を切り替える。スイッチ 5 の接点 5 a は MOS トランジスタ Q 2 のゲートに接続され、スイッチ 5 の接点 5 b は接地され、スイッチ 5 の接点 5 c は MOS トランジスタ Q 1 と MOS トランジスタ Q 2 との接続ノードに接続される。

【0020】

このような構成のレギュレータの動作について説明する。まず、通常動作（電源電圧 V_{DD} が出力端子 2 の電圧 V_{OUT} より大きいときの動作）について説明する。比較器 6 は、電源電圧 V_{DD} と出力端子 2 の電圧 V_{OUT} を比較し、電源電圧 V_{DD} が出力端子 2 の電圧 V_{OUT} よりも大きい場合はスイッチ 5 の接点 5 a と接点 5 b とが接続されるようにスイッチ 5 を制御する。スイッチ 5 の接点 5 a と接点 5 b とが接続されると、MOS トランジスタ Q 2 のゲートが接地され、MOS トランジスタ Q 2 のゲートー導電端子 t 3 間電圧はほぼ電源電圧 V_{DD} と同じ値となるので、MOS トランジスタ Q 2 のオン抵抗が最小となり、電圧損失を小さくすることができる。

【0021】

そして、MOS トランジスタ Q 1 は MOS トランジスタ Q 2 の導電端子 t 3 から供給される電圧を導電端子 t 1ー導電端子 t 2 間電圧分だけ電圧降下させて出力電圧 V_{OUT} としたのち、その出力電圧 V_{OUT} を出力端子 2 に送出する。

【0022】

また、抵抗 R 1 と抵抗 R 2 から成る出力電圧検出回路は出力電圧 V_{OUT} を分圧し、誤差増幅器 4 はその分圧と基準電圧 V_{REF} との差に応じた制御信号を MOS トランジスタ Q 1 に送出する。このようフィードバック制御により、出力電圧 V_{OUT} は所定値に保たれる。

【0023】

続いて、電源電圧 V_{DD} がグランドに短絡したり、出力端子 2 に外部から高電圧が印加されたりする等の原因により電源電圧 V_{DD} が出力端子 2 の電圧 V_{OUT} より小さくなったときの動作について説明する。比較器 6 は、電源電圧 V_{DD} と出力端子 2 の電圧 V_{OUT} を比較し、電源電圧 V_{DD} が出力端子 2 の電圧 V_{OUT} よりも小さい場合はスイッチ 5 の接点 5 a と接点 5 c とが接続されるようにスイッチ 5 を制御する。スイッチ 5 の接点 5 a と接点 5 c とが接続されると、導電端子 t 3 の電位が導電端子 t 4 の電位より高い状態で MOS トランジスタ Q 2 のゲートと導電端子 t 3 とが短絡され、MOS トランジスタ Q 2 がオフ状態となるので、出力端子 2 から電源端子 1 へ流れる逆流電流が発生しない。

【0024】

なお、図 1 のレギュレータでは、逆流電流が発生し得る状態（電源電圧 V_{DD} が出力端子 2 の電圧 V_{OUT} より小さい状態）を比較器 6 によってダイレクトに検出し、その検出結果に基づいて MOS トランジスタ Q 2 をオフ状態にするので、逆流電流の発生を確実に防止することができる。

【0025】

また、MOS トランジスタ Q 1 と MOS トランジスタ Q 2 をともに同一極性（P チャンネル）の MOS トランジスタとし、MOS トランジスタ Q 2 内に形成される寄生ダイオード D 2 によって、MOS トランジスタ Q 1 内に形成される寄生ダイオード D 1 による逆流電流の発生を防止している。さらに、電源遮断スイッチである MOS トランジスタ Q 2 を、パワートランジスタである MOS トランジスタ Q 1 とほぼ同一のトランジスタサイズにすることで、通常動作時における MOS トランジスタ Q 2 のオン抵抗をより一層小さくすることができる。

【0026】

電源電圧 V_{DD} をカーバッテリーからとる場合、カーバッテリーの応用上電源電圧 V_{DD} が瞬間的に低下し、ときにはグランドに短絡することがある。従って、このような場合でもレギュレータの出力端子 2 に接続される負荷（例えばマイクロコンピュータ等）が誤動作を起こさないように、大容量の出力コンデンサが出力端子 2 に接続され、出力端子 2 の電圧 V_{OUT} の安定化を図るようにしている。

【0027】

このように電源電圧 V_{DD} をカーバッテリーからとり、出力端子 2 に負荷及び大容量の出力コンデンサを接続して図 1 のレギュレータを使用した場合、状況によって電源電圧 V_{DD} が大幅に低下すると、逆流電流が発生し得る状態（電源電圧 V_{DD} が出力端子 2 の電圧 V_{OUT} より小さい状態）になる。図 1 のレギュレータは、逆流電流が発生し得る状態になっても逆流電流の発生を確実に防止することができるレギュレータであるので、カーステレオ、カーナビゲーション等の車載用電気機器の電源装置として好適である。

【0028】

また、図 2 に示すように、スイッチ 5 の接点 5c を MOS トランジスタ Q1 と MOS トランジスタ Q2 との接続ノードではなく、MOS トランジスタ Q1 と抵抗 R1 と比較器 6 と出力端子 2 との接続ノードに接続する構成としても図 1 のレギュレータと同様の効果を得ることができる。

【0029】

ここで、図 2 のレギュレータにおけるスイッチ 5 と比較器 6 の具体例を図 3 のレギュレータに示す。なお、図 3 において図 1 と同一の部分には同一の符号を付し、説明を省略する。

【0030】

MOS トランジスタ Q2 のゲートに MOS トランジスタ Q4 の導電端子 t8 が接続され、MOS トランジスタ Q4 のバックゲート及び導電端子 t7 が MOS トランジスタ Q3 の導電端子 t5 及びバックゲートに接続され、MOS トランジスタ Q3 の導電端子 t6 が抵抗 R4 を介して出力端子 2 に接続される。なお、MOS トランジスタ Q3 において導電端子 t6 からバックゲートに対して寄生ダイオード D3 が図示する方向に形成され、MOS トランジスタ Q4 において導電端子 t8 からバックゲートに対して図示する方向に寄生ダイオード D4 が形成される。そして、抵抗 R3 の一端が入力端子 1 に接続され、抵抗 R1 の他端が MOS トランジスタ Q3 のゲート及び MOS トランジスタ Q4 のゲートに接続される。また、入力端子 1 が抵抗 5 及びツェナーダイオード ZD1 を介して MOS トランジスタ Q2 のゲートに接続され、MOS トランジスタ Q2 のゲートが抵抗 R6 を介して接地される。

【0031】

MOSトランジスタQ3のゲート-導電端子t6間電圧によって電源電圧 V_{DD} と出力端子2の電圧 V_{OUT} とを比較しているので、ダイナミックレンジが大きくなる。

【0032】

上記構成によると、通常動作時にMOSトランジスタQ3はオフ状態になる。そしてそのとき寄生ダイオードD3がオン状態になるので、MOSトランジスタQ4の寄生ダイオードD4によって寄生ダイオードD3を流れる電流の発生を防止しないと、MOSトランジスタQ1のゲート電位が V_{OUT} からMOSトランジスタQ2の V_F を引いた値になってしまいグラウンド電位まで落ちきらない。このような理由からMOSトランジスタQ4を設けている。

【0033】

通常動作時は、MOSトランジスタQ3及びQ4がオフ状態であり尚かつ寄生ダイオードD3及びD4に電流が流れないので、MOSトランジスタQ2のゲート電位は電源電圧 V_{DD} からツェナーダイオードZD1のツェナー電圧を引いた値によって決まり、グラウンド電位に設定することができる。また、電源電圧 V_{DD} が出力端子2の電圧 V_{OUT} よりも小さい場合は、MOSトランジスタQ3及びQ4がオン状態になりMOSトランジスタQ2がオフ状態となるので、出力端子2から電源端子1へ流れる逆流電流が発生しない。

【0034】

尚、以上の説明では、出力端子2の電圧 V_{OUT} を検出する電圧検出回路として、抵抗分割の回路のみを示したが、これに限るものではなく他の構成の電圧検出回路を用いてもよい。また、スイッチ5の接点5bをグラウンドに接続した場合のみを説明したが、MOSトランジスタQ2が十分にONするレベルであればグラウンドに代えてその電位レベルにスイッチ5の接点5bを接続しても構わない。

【0035】

【発明の効果】

本発明によると、逆流電流の発生が防止できかつ通常動作時の電圧損失の少ない半導体集積回路装置を実現することができる。

【図面の簡単な説明】

【図 1】 本発明に係るレギュレータの一構成例を示す図である。

【図 2】 本発明に係るレギュレータの他の構成例を示す図である。

【図 3】 図 2 のレギュレータの具体的回路構成例を示す図である。

【図 4】 半導体集積回路に用いられる P チャネル型の MOS トランジスタを示す図である。

【図 5】 従来の半導体集積回路装置の一構成例を示す図である。

【符号の説明】

1 電源端子

2 出力端子

3 基準電圧源

4 誤差増幅器

5 スイッチ

6 比較器

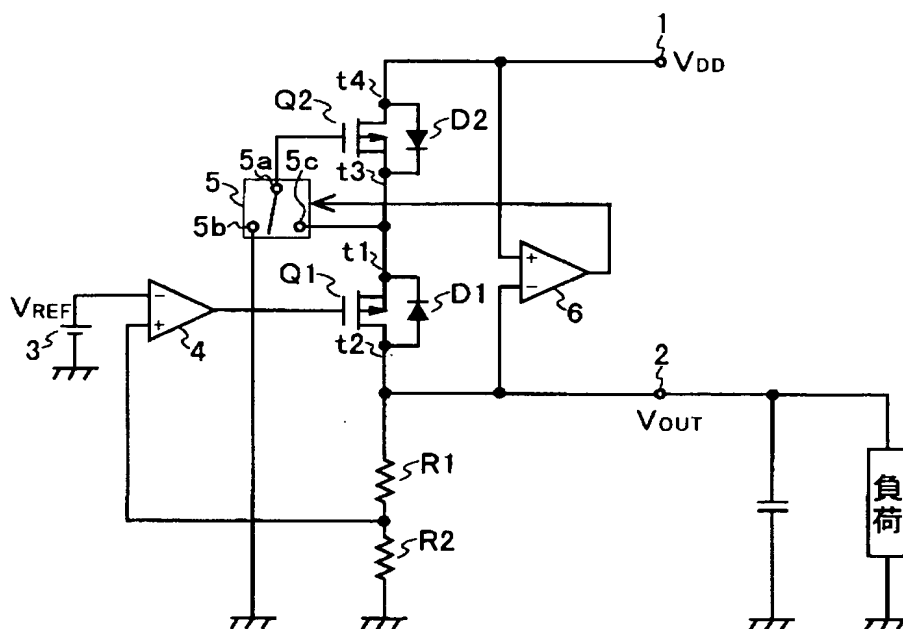
Q 1、Q 2 P チャネル型の MOS トランジスタ

D 1、D 2 寄生ダイオード

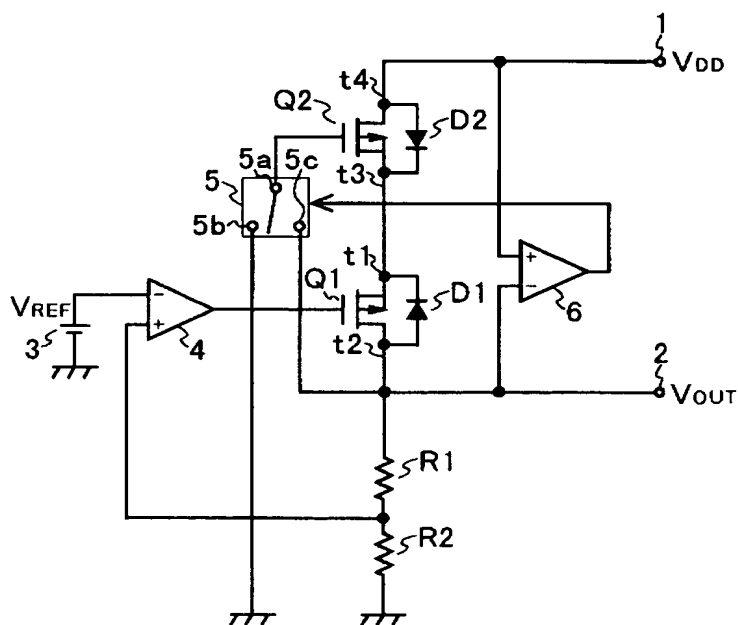
R 1、R 2 抵抗

【書類名】 図面

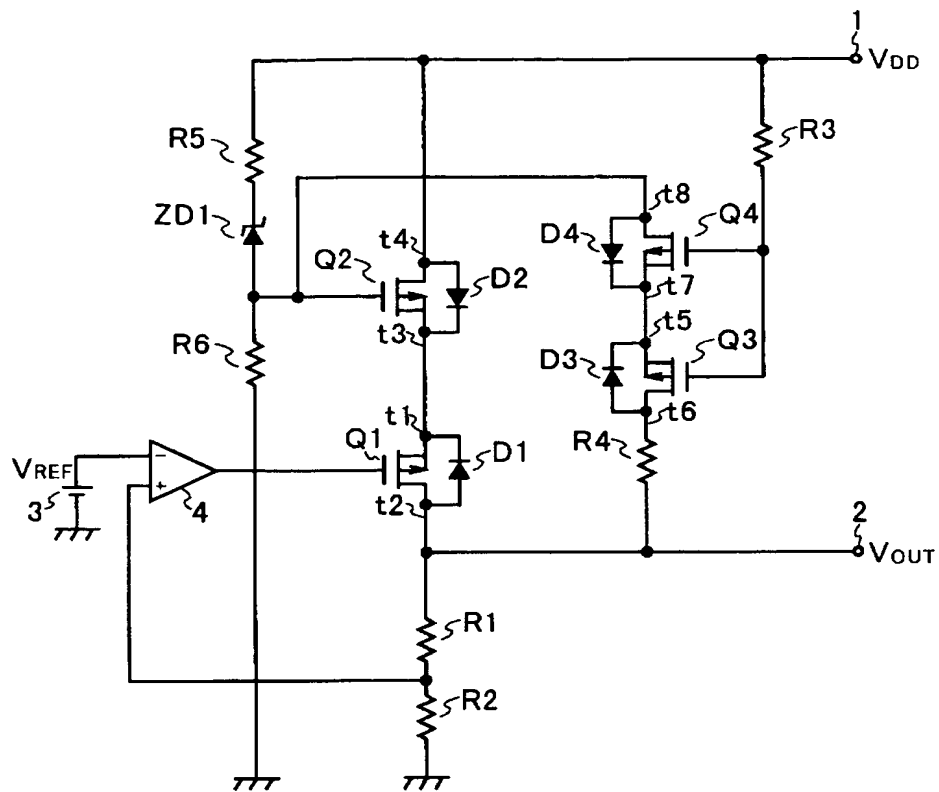
【図 1】



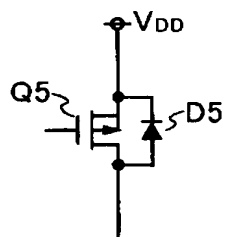
【図 2】



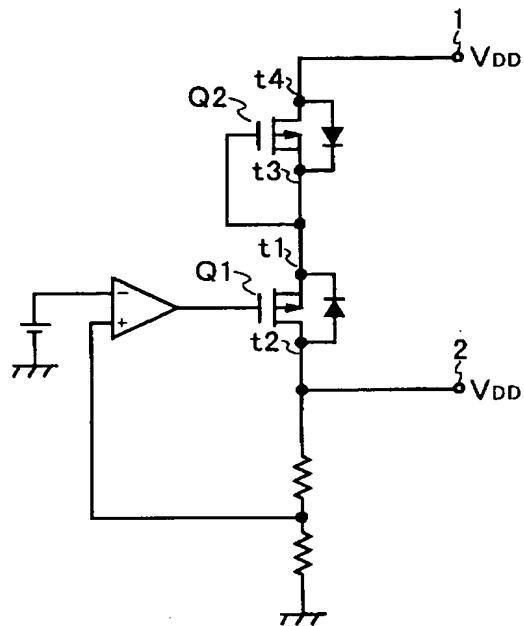
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 逆流電流の発生が防止できかつ通常動作時の電圧損失の少ない半導体集積回路装置を提供する。

【解決手段】 出力トランジスタである MOS トランジスタ Q 1 と、該 MOS トランジスタ Q 1 と電源端子との間に設けられる MOS トランジスタ Q 2 と、電源電圧 V_{DD} が出力端子 2 の電圧 V_{OUT} より大きいときに MOS トランジスタ Q 2 のゲートを接地させて MOS トランジスタ Q 2 のオン抵抗を最小にし、電源電圧 V_{DD} が出力電圧 V_{OUT} より小さいときに MOS トランジスタ Q 2 のゲートと導電端子 t 3 とを短絡させて MOS トランジスタ Q 2 をオフ状態にする手段（スイッチ 5 及び比較器 6）と、を備える半導体集積回路装置。

【選択図】 図 1

特願 2003-101366

出願人履歴情報

識別番号

[000116024]

1. 変更年月日
[変更理由]

1990年 8月22日
新規登録

住 所
氏 名

京都府京都市右京区西院溝崎町21番地
ローム株式会社